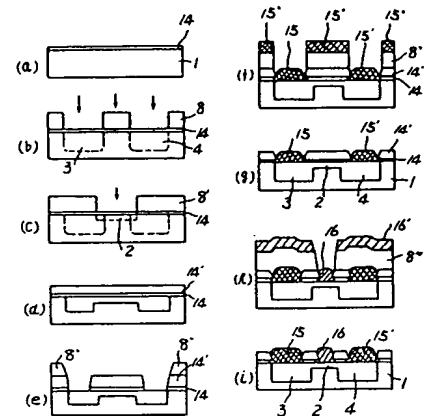


(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 62-92327 (A) (43) 27.4.1987 (19) JP
 (21) Appl. No. 60-231228 (22) 18.10.1985
 (71) HITACHI LTD(1) (72) SHIGEO GOSHIMA(4)
 (51) Int. Cl. H01L21/314, H01L29/80

PURPOSE: To prevent contamination on ion implantation and deterioration caused by a knock-on effect by implanting ions, penetrating an insulating film consisting of an A/N film, laminating a protective film composed of SiN onto the A/N film and thermally treating the whole.

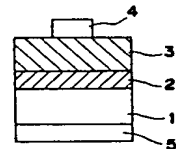
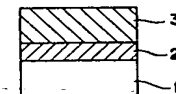
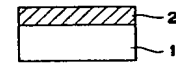
CONSTITUTION: An A/N film 14 is applied onto a GaAs substrate 1. Ions are implanted in order to form a source region 3 and a drain region 4, using a photo-resist 8 as a mask. A photo-resist mask 8' is removed completely, and an SiN film 14' is laminated. The whole is thermally treated in hydrogen. The SiN film 14' is etched through dry etching employing a fluorine group gas, using a photo-resist 8'' as a mask, and the A/N film 14 is etched in a wet type by H_3PO_4 . Source-drain electrode materials 15, 15', 15'' are evaporated, and the SiN film 14' is etched through a dry etching method and the A/N film 14 through wet type etching respectively, employing the photo-resist 8'' as the mask. Accordingly, contamination on ion implantation and deterioration caused by a knock-on effect are prevented.

**(54) FORMING METHOD FOR INSULATING FILM**

(11) 62-92328 (A) (43) 27.4.1987 (19) JP
 (21) Appl. No. 60-233046 (22) 17.10.1985
 (71) SHARP CORP (72) YASUSHI KUBOTA
 (51) Int. Cl. H01L21/314//H01L21/283, H01L29/78

PURPOSE: To form an insulating film having high withstanding voltage and excellent interfacial characteristics by thermally oxidizing a semiconductor substrate at a temperature of 550°C or less, shaping an oxide thin-film on the surface of the semiconductor substrate and laminating the insulating film of the oxide thin-film.

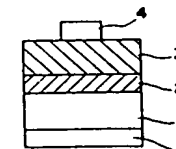
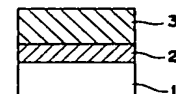
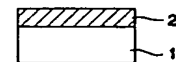
CONSTITUTION: A silicon substrate-1 is thermally oxidized at 550°C in a dried oxygen atmosphere. An oxide thin-film 2 is shaped through heat treatment for 1 or 2 hr. An insulating film 3 is laminated up to film thickness of 1,000 Å at a substrate 1 temperature of 400°C through a normal pressure CVD method. Annealing at 550°C in a nitrogen atmosphere and plasma treatment at 350°C are each conducted for 1 hr in order to improve the characteristics of the insulating film 3. Accordingly, the insulating film 3 having high withstanding voltage and excellent interfacial characteristics is shaped.

**(54) FORMING METHOD FOR INSULATING FILM**

(11) 62-92329 (A) (43) 27.4.1987 (19) JP
 (21) Appl. No. 60-233047 (22) 17.10.1985
 (71) SHARP CORP (72) YASUSHI KUBOTA
 (51) Int. Cl. H01L21/314//H01L21/283, H01L29/78

PURPOSE: To form an insulating film having high withstanding voltage and excellent interfacial characteristics by oxidizing a semiconductor substrate at 300~400°C in an oxidizing plasma atmosphere, shaping an oxide thin-film on the surface of the semiconductor substrate and laminating an insulating film on the oxide film.

CONSTITUTION: A silicon substrate 1 is oxidized in an oxygen plasma atmosphere. An insulating film 2 is formed through plasma oxidation for 1 hr. An insulating film 3 is laminated up to film thickness of 1,000 Å at a substrate 1 temperature of 400°C through a normal pressure CVD method. Annealing at 550°C in a nitrogen atmosphere and hydrogen plasma treatment at 350°C are each conducted for 1 hr in order to improve the characteristic of the insulating film 3. Accordingly, the insulating film 3 having high withstanding voltage and excellent interfacial characteristics is acquired.



⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-92327

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)4月27日

H 01 L 21/314
29/80

6708-5F
B-8122-5F

審査請求 未請求 発明の数 2 (全5頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭60-231228

⑰ 出 願 昭60(1985)10月18日

⑱ 発 明 者 五 島 滋 雄 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 今 村 慶 憲 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・アイ・エンジニアリング 小平市上水本町1448番地

株式会社

㉒ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

発明の名称 半導体装置及びその製造方法

特許請求の範囲

1. 化合物半導体装置において、イオン注入した半導体表面をA₃N及びSi₃N又はSiO₂の2層からなる絶縁膜で被覆して熱処理する工程を含む方法で作成され、かつ電極形成部以外の前記半導体表面が前記絶縁膜で被覆されていることを特徴とする半導体装置。
2. 半導体表面側第1層がA₃N膜からなる絶縁膜を貫通してイオン注入し、第2層にSi₃N、SiO₂等の絶縁膜を被覆し熱処理・加工工程を含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

(発明の利用分野)

本発明は、Ⅲ-V族化合物半導体に係り、特にGaAsを用いた大規模集積回路装置に好適な保護膜を有する半導体装置及びその製造方法に関する。

(発明の背景)

GaAs化合物半導体を基板として用いた集積回

(1)

路では、基本構成素子として、ゲート部分に金属-半導体接触のショットキー障壁を用いたMES-FETが使用される。このFETは、第1図に断面図を示すように、基板1にイオン注入によって形成されたn型チャネル層2とn+型のソース領域3、ドレイン領域4及びそれぞれの表面に形成されたゲート電極5、ソース電極6、ドレイン電極7とから構成され、チャネル層2を通してソース電極6、ドレイン電極7間を流れる電流をゲート電極5から加えた電界によって制御することで動作させるものである。

従来、GaAs基板上にMES-FETのチャネル層を形成する工程は第2図に示す如く、GaAs基板1上にチャネルを形成すべき所定の位置に開口部を有するイオン注入マスク8を形成した後、高真空中で所望のイオンを打ち込む工程と、イオン打ち込みマスク8を除去した後、SiO₂、Si₃N₄、Al₂O₃又はA₃Nのいずれか、又はこれらを積層した保護膜9を被覆し、800～900℃で熱処理してチャネル層2を活性化する

(2)

工程から成っている(ジャーナル・オブエレクトロケミカル・ソサエティー: J. Electrochem. Soc. 7月, 1984, pp1674~1678 版)。ここで保護膜9は高温熱処理によってGaAs基板中のGaやAsが蒸発するのを防ぐために被着してある。

上記従来工程では、高真空中でイオン打ち込みする時、チャネル層2の表面に真空排気装置から発生するオイルミストや真空槽内の残留ガスが吸着し、これがイオン打ち込みと同時に不要不純物としてチャネル中に入り込み活性化を妨げるという問題があった。従来の技術により提案されている上記問題の解決方法は、第3図に示す如く、GaAs表面をSiO₂, Si₃N₄, Al₂O₃又はAlN薄膜からなる表面保護膜11を被着し、この薄膜を貫通してイオン打ち込みを行なう事により前記不要不純物の混入を防止する方法である(アプライド・フィジックス・レター: Appl. Phys. Lett. 第31巻, 第3号, 1977年8月, pp158~161参照)。この方法は、イオン打ち込み時の前記表面汚染によるチャネル層への悪影響を防ぐ

(3)

ン打ち込み時に、GaAs中にノックオンされてもチャネル層の特性は劣化しない。ところで、GaAs基板上に集積回路を形成する場合、上述した保護膜を除去したり、その一部に開口部を設けるなどの加工技術が必須である。AlN膜の加工は、熱リン酸などによる湿式エッチング法又は塩素系ガス(CCl₄, CHCl₃, SiCl₄, BCl₃など)によるドライエッチング法が用いられる。しかし、周知のように、湿式エッチング法は1μm以下の微細加工が困難である。

また、塩素系ガスによるドライエッチング法では、エッチングにおけるGaAs基板との選択性が得られないことから、微細加工が必須であるGaAs大規模集積回路素子の表面保護膜としてAlN膜を使用することは極めて困難であるという欠点がある。

〔発明の目的〕

本発明の目的は、AlN薄膜上にSiN又はSiO₂を被着し、イオン打ち込み時の汚染やノックオン効果による劣化を防止し、AlNの加工

(5)

効果は認められる。しかし、SiO₂, Si₃N₄, Al₂O₃保護膜では、イオン打ち込み時にノックオン効果によって保護膜中のSiやO原子がチャネル層内に入り、チャネル層の抵抗値や電子移動度を劣化させるという欠点がある。また、チャネル層の熱処理による活性化の工程に於いて、SiO₂, Si₃N₄, Al₂O₃を熱処理保護膜として用いると、これらの材料とGaAs基板との熱膨張係数が大きく異なるため、熱処理時にGaAs基板にストレスが働いてイオン打ち込みした原子が異常拡散し所望の厚さのチャネル層が得にくい、あるいは、このストレスのため被着した膜が剥離し、素子作成の歩留りが著しく悪くなるという欠点がある。

AlN膜は、米国特許第4058413号明細書や文献エレクトロニクス・レターズ: Electronics Letters 1984年, 1月, 第20巻, 第1号pp45~47にも示してあるように、熱膨張係数がGaAs基板と比較的一致しており、ストレスによる前述の如き欠点は少ない。又、AlN膜は構成元素がⅢ族およびⅤ族であるため、これらの元素がイオ

(4)

の容易なGaAs半導体装置を提供することである。

〔発明の概要〕

本発明では、GaAs MESFETのチャネルは、AlN膜を表面保護膜とし、これを貫通してn形又はp形不純物をイオン打ち込みし、続いて前記AlN膜に比してエッチング速度の異なるSiN又はSiO₂等の保護膜を被着し、これを保護膜として熱処理を行い、イオン打ち込み層を活性化することを特徴としている。AlN1層又はAlNの被着膜により熱処理を行う場合、湿式エッチング(H₃PO₄)により加工を行うが、この方法では加工精度の制御は極めて困難である。

しかし、第1層目のAlN層を100nm以下とし、第2層目にSiN又はSiO₂を形成し、2層目の膜をフッ素系のドライエッチングで加工し1層目のAlNをH₃PO₄で湿式エッチングすることにより加工精度は制御が容易となる。

第4図に示す如く、SiNとSiO₂はフッ素系ガスで容易にエッチングされ、しかもAlNに対し十分な選択性を有する。したがってAlN上

(6)

に形成したSiN又はSiO₂は、ドライエツチングにより精度よく加工される。

第5図には、H₃PO₄による湿式エツチング特性を示す。図から明らかなように、A₂Nは密にエツチングされるが、SiN及びSiO₂のエツチ速度はきわめて小さい。この性質を利用して、第2層目のドライエツチングの後、第1層目の膜である100nm以下のA₂N膜をH₃PO₄でエツチングすれば、第2層目の形状を保ったままA₂Nを精度良く加工することが可能である。

【発明の実施例】

以下、発明の実施例により説明する。

実施例では半導体基板としてGaAsを使用する場合について説明するが、他のInP、InGaAs、A₂GaAs、InA₂As、InGaAsP等のIII～V族化合物半導体においても実施可能である。

実施例1

第6図(a)～(i)に第1の実施例の製造手順を示す。まず(a)において、GaAs基板1の清浄表面に厚さ200ÅのA₂N膜14を被着す

(7)

2×10¹²個/cm²とする。

次に(d)に移る。まず(c)で形成したホトレジストマスク8'を完全に除去した後、厚さ1000ÅのSiN膜を被着する。SiN膜は、焼結したSi₃N₄ターゲットを用いたアルゴンと窒素の混合ガス雰囲気でのスパッタ法、シラン(SiH₄)と窒素又はアンモニア(NH₃)のプラズマ励起化学反応(プラズマCVD)、ジクロルシラン(SiH₂Cl₂)又はシラン(SiH₄)とNH₃を原料とした熱分解気相化学成長法(CVD法)などによって作成される。

次にこれらのSiN膜、A₂N膜を表面保護膜として水素中で800℃、20分間熱処理を行い、ソース・ドレイン及びチャネル領域を活性化する。次に(e)に移る。ここでは、ホトレジスト工程によりソース・ドレイン領域上の電極形成部に開口部を有するホトレジスト8''を形成しこれをマスクとしてフッ素系ガス(CF₄、NF₃、CHF₃など)を用いたドライエツチングによりSiN膜14'をエツチングし、さらにH₃PO₄(70

(8)

る。A₂N膜14は、スパッタ法、電子ビーム蒸着法、反応性分子線エピタキシー法などによって作成される。

次に(b)に移り、A₂N膜14の上にソース及びドレイン領域に開口部を有するホトレジスト8を被着し、これをマスクとしてソース領域3、及びドレイン領域4を形成するためのイオン打ち込みを行う。イオン打ち込みのエネルギーはA₂N膜の厚さが200Åの場合には、100KeV程度が最適である。またイオン打ち込み濃度は、Si⁺イオン打ち込みの場合、2×10¹⁰個/cm²とする。

次に(c)に移り、まずホトレジスト8を完全に除去した後新たにチャネル領域2のみに開口部を有するホトレジスト8'を形成し、次にこれをマスクとしてチャネル形成用のSi⁺イオンを打ち込む。打ち込みエネルギーはA₂N膜の厚さが200Åの場合50KeV程度が最適である。また打ち込み濃度は、デプレッション型FETでは4×10¹²個/cm²、エンハンスメント型FETでは

(8)

て)でA₂N膜を14を湿式エツチングする。この時SiN膜14'はH₃PO₄によってほとんどエツチングされないため開口部の加工精度は極めて良好に制御できる。

次に(f)に移る。ここでは、ソース・ドレイン電極材15、15'、15''たとえばAuGe/Ni/Auを蒸着し、ホトレジスト8''を選択的にエツチング除去するリフトオフ法によって不要な電極材15''を除去すると、所定の位置にソース電極15、ドレイン電極16が形成できて(g)に示す構造となる。

次に(h)に示す如く、ホトレジスト工程によりチャネル領域上のゲート電極形成部に開口部を有するホトレジスト8''を形成したのち、これをマスクとして、前記ドライエツチング法によりSiN膜14'を、湿式エツチングによりA₂N膜14'をそれぞれエツチングする。このあと、全面にゲート電極材16、16'たとえばTi/Pt/Auを蒸着し、ホトレジスト8''を使つて不要なゲート電極部16'を除去すると(i)に

(10)

示す如く半導体-金属ショットキー接合を用いたFETが完成する。

本実施例によれば、SiN膜はAlN膜に対して選択的にドライエッチングが可能であり、さらにAlN膜は、SiNとGaAsに対して選択的に湿式エッチングすることが可能であるため第6図(i)に示す如く、サブミクロンのゲート長を有するFETが作製可能となる。

〔発明の効果〕

本発明によれば、半導体デバイス製造工程の初期工程において、貫通イオン打ち込み保護膜あるいは熱処理保護膜として使用する第1層目がAlN膜第2層目がSiN又はSiO₂膜からなる絶縁膜で覆うため次のような効果がある。

第2層目のSiN又はSiO₂は、ドライエッチングによりAlN膜と選択的にエッチングでき、さらに1層目のAlN膜はSiO₂又はSiN及びGaAsと選択的にH₃PO₄によりエッチングできる。この性質から第1層目のAlN膜を100nm以下とし、2層目にSiN又はSiO₂を形

(11)

成すれば、十分な表面保護膜となり、1μm以下の微細加工が可能となる。

図面の簡単な説明

第1図は金属-半導体のショットキー接合を用いたFETの断面構造図、第2図、第3図は従来技術によるFETチャネル層形成時の問題説明用の断面図、第4図は、各種絶縁膜のドライエッチングレートを示す図、第5図は同じくH₃PO₄による湿式エッチングレートを示す図、第6図は発明の一実施例を説明する工程断面図である。

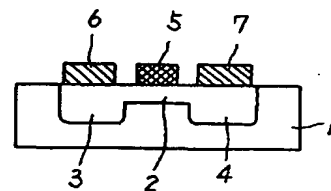
1…半絶縁性GaAs基板、2…チャネル層、3…ソース領域、4…ドレイン領域、5、16…ゲート電極、6、15…ソース電極、7、15'…ドレイン電極、8…イオン打ち込み用マスク、9…熱処理用保護膜、11…保護膜、14…AlN膜、14'…SiN膜、17…SiN膜のドライエッチング速度、18…SiO₂のドライエッチング速度、19…GaAsのドライエッチング速度、20…AlNのドライエッチング速度、21…AlNの湿式エッチング速度、22…SiNの湿

(12)

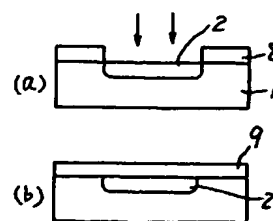
式エッチング速度、23…SiO₂の湿式エッチング速度。

代理人 弁理士 小川勝男

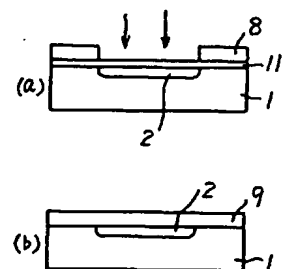
第 1 図



第 2 図

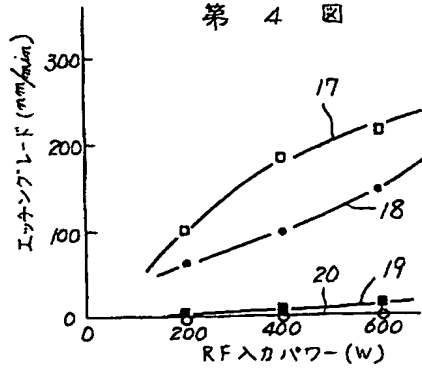


第 3 図

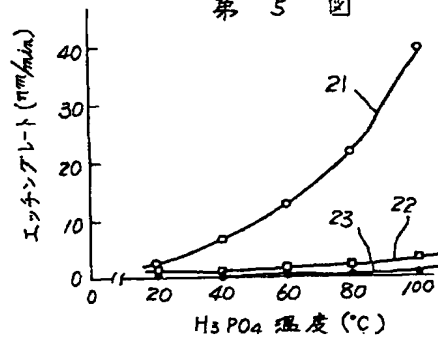


(13)

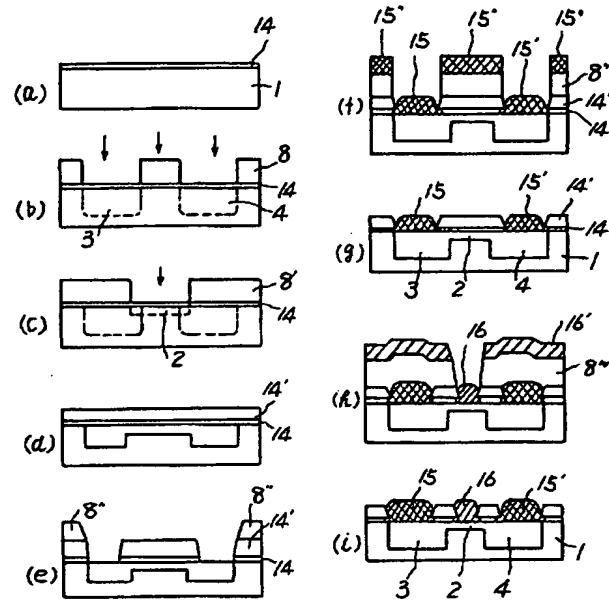
第 4 図



第 5 図



第 6 図



第1頁の続き

⑬発 明 者 舩 木 順 二

小平市上水本町1448番地 日立超エル・エス・アイ・エンジニアリング株式会社内

⑭発 明 者 磯 部 良 彦

小平市上水本町1448番地 日立超エル・エス・アイ・エンジニアリング株式会社内

⑮発 明 者 宮 崎 勝

国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内